

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-037461

(43)Date of publication of application : 06.02.1996

(51)Int.CI.

H03M 1/36
H03M 1/14

(21)Application number : 06-169879

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 22.07.1994

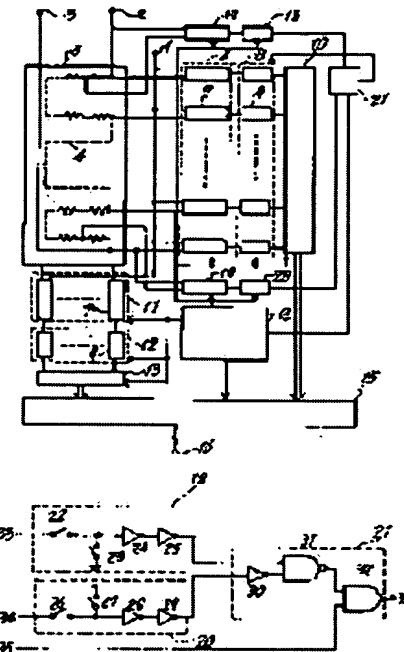
(72)Inventor : FURUYA EIKI
OKA KOJI

(54) A/D CONVERTER

(57)Abstract:

PURPOSE: To obtain the A/D converter in which a required minimum time for the comparison of a comparator is reserved even when power supply voltages and performance of each processing are in dispersion by detecting a minimum time required for the comparison of the comparators and controlling the comparison time of high-order comparators with a control signal of a time width corresponding to the minimum time.

CONSTITUTION: A comparator 17 and a high level comparison time detection circuit 18 detect a time required for a change in the comparison result from L to H and a comparator 19 and a low level comparison time detection circuit 20 detect a time required for a change in the comparison result from H to L. An output of the circuit 18 is given to a NAND circuit 31, an output of the circuit 20 is given to the circuit 31 via an inverter circuit 30 and an output signal from the circuit 31 is given to an AND circuit 32. The circuit 32 receives a clock signal in the same timing as the control signal of the comparators and a high-order comparison decision signal is outputted from an output terminal 36 of the circuit 32. The control signal is given to a high-order latch circuit 8. The basic operation of a latch circuit 9 is the same as a conventional A/D converter.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-37461

(43)公開日 平成8年(1996)2月6日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 03 M 1/36

1/14

A

審査請求 未請求 請求項の数 3 O.L. (全 7 頁)

(21)出願番号 特願平6-169879

(22)出願日 平成6年(1994)7月22日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 古谷 栄樹

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72)発明者 岡 浩二

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

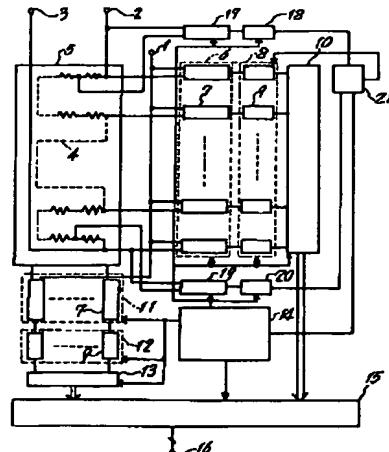
(74)代理人 弁理士 森本 義弘

(54)【発明の名称】 A/D変換器

(57)【要約】

【目的】 比較器が比較に要する必要最小時間を確保することにより、電源電圧や各比較器の性能に差が生じた場合でも安定した比較動作を実現することができるA/D変換器を提供する。

【構成】 比較器の比較に要する必要最小時間を検出する手段と、その検出された最小時間に対応する時間幅を有する制御信号を発生する手段とを備え、その制御信号によって前記比較器の比較時間を制御するようにしたA/D変換器の構成とする。



- | | |
|-------------------|-------------------|
| 1 アナログ信号入力端子 | 11 下位エンコーダ回路 |
| 2 基準電圧TOP側入力端子 | 12 下位比較結果選別回路 |
| 3 基準電圧BOTTOM側入力端子 | 13 下位エンコーダ回路 |
| 4 ラグ-抵抗列 | 14 7ローツ発生回路 |
| 5 基準電圧発生アローワ | 15 出力回路 |
| 6 上位比較器列 | 16 デシタル出力端子 |
| 7 ナンバ型比較器 | 17, 18 比較時間検出用比較器 |
| 8 上位比較結果選別列 | 18, 19 比較結果ロジック回路 |
| 9 ライチ回路 | 21 比較時間制御信号発生回路 |
| 10 上位エンコーダ回路 | |

【特許請求の範囲】

【請求項1】 比較器の比較時間を最適化する手段を備えたA/D変換器。

【請求項2】 比較器の比較時間を必要最小時間にする手段を備えたA/D変換器。

【請求項3】 比較器の比較に要する必要最小時間を検出する手段と、その検出された最小時間に対応する時間幅を有する制御信号を発生する手段とを備え、その制御信号によって前記比較器の比較時間を制御するように構成されたA/D変換器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路を構成するA/D変換器に関する。

【0002】

【従来の技術】 従来のチョッパ型比較器を用いた直並列型A/D変換器のブロック図を図4に示す。図4において、構成要素として1はアナログ信号の入力端子、2は基準電圧のTOP側の入力端子、3は基準電圧のBOT側の入力端子、4はラダー抵抗列、5はラダー抵抗列4とスイッチからなる基準電圧発生ブロック、6は上位比較器列、7は上位比較器列6および下位比較器列で使用されるチョッパ型比較器、8は上位比較結果ラッチ列、9は上位比較結果ラッチ列8および下位比較結果ラッチ列で使用されるラッチ回路、10は上位エンコーダ回路、11は下位比較器列、12は下位比較結果ラッチ列、13は下位エンコーダ回路、14はクロック発生回路、15は出力回路、16はデジタル信号出力端子である。

【0003】 図5は、前記上位比較器列6および前記下位比較器列11に用いられているチョッパ型比較器7と、前記上位比較結果ラッチ列8および前記下位比較結果ラッチ列12に用いられているラッチ回路9の回路図である。図5において、構成要素として46はアナログ信号の入力端子、47は基準電圧の入力端子、37、38、40、42、43はスイッチ、39は容量、41、44、45はインバータ回路、48は比較結果出力端子である。各スイッチは図6のa～fの制御信号により制御されている。

【0004】 図6は、チョッパ型比較器7の動作を説明するためのタイミングチャートである。図6において、aはクロック信号波形、bは上位比較器におけるスイッチ37および40の制御信号波形、cは上位比較器におけるスイッチ38の制御信号波形、dは上位比較結果ラッチ回路におけるスイッチ42の制御信号波形、eは下位比較器におけるスイッチ37の制御信号波形、fは下位比較器におけるスイッチ38の制御信号波形を示す。スイッチ43はdの反転信号で制御されている。各制御信号はハイ期間でスイッチがオンし、ロー期間でオフするようになっている。

【0005】 次に、図4で動作について説明する。アナログ信号入力端子1から入力されたアナログ信号が上位比較器列6および下位比較器列11に入力され、基準電圧の入力端子2および3に入力された電圧をラダー抵抗列4によって分割した電圧が、前記上位比較器列6に入力され上位比較がなされる。前記上位比較器列6で比較された結果は上位比較結果ラッチ列8でラッチされて、上位エンコーダ回路10でコード変換されると同時に下位比較ラダー抵抗用スイッチ選択信号を基準電圧発生ブロック5に出力する。前記基準電圧発生ブロック5で選択された下位比較用のラダー抵抗列による電圧が前記下位比較器列11に入力され下位比較がなされる。前記下位比較器列11で比較された結果は下位比較結果ラッチ列12でラッチされた後、下位エンコーダ回路13でコード変換され、前記上位エンコーダ回路10によるコード変換結果とともに出力回路15で処理されデジタル信号出力端子16から出力される。上位比較器列6、上位比較結果ラッチ列8、上位エンコーダ回路10、下位比較器列11、下位比較結果ラッチ列12、下位エンコーダ回路13および出力回路15は、クロック発生ブロック14より出力されるクロック信号により制御される。

【0006】 次に、図6で前記上位比較器列6および前記下位比較器列11に用いられているチョッパ型比較器7と、前記上位比較結果ラッチ列8および前記下位比較結果ラッチ列12に用いられているラッチ回路9の動作、および動作タイミングを説明する。

【0007】 上位比較器、下位比較器はそれぞれ、図6で示すbおよびeの信号のハイ期間、すなわち、スイッチ37および40がオンしてスイッチ38がオフしている期間で、アナログ入力信号をサンプリングする。このとき、上位比較結果ラッチ回路および下位比較結果ラッチ回路はともに、スイッチ42がオフ、スイッチ43がオンしており、1クロック前のデータをラッチした状態となっている。次に、上位比較器は、信号cのハイ期間、即ち、スイッチ37および40がオフしてスイッチ38がオンしている期間で、基準電圧を基準電圧入力端子47に入力することにより上位の比較を行う。cの信号により比較が開始されると同時に、dの信号によりスイッチ42がオン、スイッチ43がオフして上位比較結果のラッチ回路がスルーとなることにより、比較結果が比較結果出力端子48に出力される。次に、dの信号がローになり、スイッチ42がオフスイッチ43がオンすることにより、比較結果出力端子48に出力された信号がラッチされた状態になる。前記出力信号が下位比較ラダー抵抗用スイッチ選択信号となって下位比較用基準電圧が選択された後、f信号のハイ期間で下位比較器のスイッチ37および40がオフし、スイッチ38がオンすることにより下位比較が実行される。

【0008】

【発明が解決しようとする課題】 従来のチョッパ型比較

器用いた直並列型A/Dコンバータは、以上述べたように上位比較結果をラッチして下位比較ラダー抵抗用スイッチ選択信号を出力するように構成されており、前記ラッチのタイミングは上位比較の結果とは関係ないタイミングで決定されたものである。ここで、図7および図8に電源電圧がそれぞれ異なる場合での、ラッチ回路出力信号をラッチ回路制御信号でラッチするときのタイミング図を示す。図7、図8ともにラッチ回路制御信号の立ち上がりで比較が開始され、1クロック前の信号で出力されていたローレベルの信号がハイレベルに変換した後、ラッチ回路制御信号の立ち下がりでラッチ回路出力信号、すなわち、比較結果をラッチする場合を示してあるが、電源電圧の違いによりラッチ回路のしきい値が異なるため、図7の場合はハイレベルの信号をラッチするのに対し、図8の場合はローレベルの信号をラッチすることになる。このように電源電圧の変動や各比較器の性能に差があると、上位比較結果が決定されるまでの時間に差が生じるため、正常な上位比較結果が出力されなくなり、誤動作が発生するという問題点があった。

【0009】本発明は前記の問題点を解決するためになされたものであり、電源電圧や各比較器の性能に差があった場合でも、比較に要する必要最小時間を確保することができるA/D変換器を提供することを目的とする。

【0010】

【課題を解決するための手段】前記の課題を解決するために本発明のA/D変換器は、比較器が比較に要する必要最小時間を検出し、その検出された最小時間に対応する時間幅を有する制御信号で前記比較器の比較決定時間を作成するようにしたものである。

【0011】

【作用】本発明によれば、比較器が比較に要する必要最小時間を確保できるため、電源電圧や各比較器の性能に差があった場合でも、安定した比較動作が実現できる。

【0012】

【実施例】本発明の実施例を図面に基づいて説明する。図1は本発明のチョッパ型比較器を用いた直並列型A/Dコンバータであり、構成要素として17は比較結果がローからハイに変化するのに必要な比較時間を発生するための比較器、18は前記比較器17の比較結果より比較時間を検出するハイレベル比較時間検出回路、19は比較結果がハイからローに変化するのに必要な比較時間を発生するための比較器、20は前記比較器19の比較結果より比較時間を検出するローレベル比較時間検出回路、21は前記ハイレベル比較時間検出回路18およびローレベル比較時間検出回路20の出力信号とクロック信号から上位比較に必要な時間幅を有する制御信号を発生するための回路である。その他は図4の従来例と同じである。

【0013】図2において、構成要素として33は前記比較器17の出力信号が入力される端子、34は前記比

較器19の出力信号が入力される端子、22、23、26、27はスイッチ、24、25、28、29、30はインバータ回路、31はNAND回路、32はAND回路であり、35はクロック発生回路14から出力されるクロック信号の入力端子、36は上位比較に必要な時間幅を有する制御信号が入力される端子である。なお、前記比較器17、19の構成は前記比較器7の構成と同じである。

【0014】図3は、前記比較器17、19、前記ハイレベル比較時間検出回路18、前記ローレベル比較時間検出回路20および前記上位比較時間決定用制御信号発生回路21の動作を説明するためのタイミングチャートである。図3において、aは前記比較器17および19におけるスイッチ37および40の制御信号波形、bは前記比較器17および19におけるスイッチ38の制御信号波形、cは前記ハイレベル比較時間検出回路18の出力波形、dは前記ローレベル比較時間検出回路20の出力波形、eはNAND回路31の出力波形、fはAND回路32の出力波形、gは前記ハイレベル比較時間検出回路18におけるスイッチ22および26の制御信号波形、hは前記ローレベル比較時間検出回路20におけるスイッチ23および27の制御信号波形である。

【0015】次に動作について説明する。なお、前記比較器17、19の構成は前記比較器7と同じであり、前記ハイレベル比較時間検出回路18、前記ローレベル比較時間検出回路20および前記上位比較時間決定用制御信号発生回路21以外の構成および動作は従来例と同じであるので説明は省略する。

【0016】図9は、比較器の入力端子電圧と基準端子電圧の電位差に差がある場合の比較器の出力波形およびラッチ回路の出力波形を示したものである。(a)、(d)は比較器の入力端子電圧と基準端子電圧の電位差が同じで(a)は入力端子電圧が基準端子電圧より高く(d)は入力端子電圧が基準端子電圧より低い場合の波形、(b)、(c)は比較器の入力端子電圧と基準端子電圧の電位差が同じで(b)は入力端子電圧が基準端子電圧より高く(c)は入力端子電圧が基準端子電圧より低い場合の波形である。

【0017】図9で示すように、波形(a)および(d)の場合に比べて波形(b)および(c)の場合のほうが比較器の入力端子電圧と基準端子電圧の電位差が小さいとき、比較器の出力は比較器のゲイン倍されて出力されるため、比較器の出力の変化、すなわちラッチ回路の入力点での変化は波形(a)および(d)の場合に比べて波形(b)および(c)の場合のほうが小さくなる。したがって、ラッチ回路の出力がラッチ回路のしきい値に達するまでの時間が(a')および(d')の場合に比べて(b')および(c')の場合のほうが長くかかることになる。ここで(a')はラッチ回路に(a)が入力されたときのラッチ回路の出力波形、(b')はラッチ回路に(b)が入力されたときのラッチ回路の出力波形、(c')はラッチ回路に(c)が入力されたとき

のラッチ回路の出力波形、(d')はラッチ回路に(d)が入力されたときのラッチ回路の出力波形である。以上述べたように、比較器の入力端子電圧と基準端子電圧の電位差が小さいほど比較器が比較を完了するのに長い時間が必要とされる。

【0018】図1において、前記比較器17のアナログ信号入力端子には基準抵抗のTOP側入力端子2が接続されており、基準抵抗入力端子にはラダー抵抗列の中で基準抵抗TOP側入力端子2よりラダー抵抗1個を介した基準電圧発生部分が接続されている。一方、前記比較器19のアナログ信号入力端子には基準抵抗のBOT TOM側入力端子3が接続されており、基準抵抗入力端子にはラダー抵抗列の中で基準抵抗BOT TOM側入力端子3よりラダー抵抗1個を介した基準電圧発生部分が接続されている。前記比較器17は図3の波形aのハイ期間のタイミングで基準抵抗TOP側電圧V_{top}をサンプリングした後、図3の波形bのハイ期間のタイミングでラダー抵抗列の中で基準抵抗TOP側入力端子2よりラダー抵抗1個を介した基準電圧V_{top-1}との比較を行う。一方、前記比較器19は図3の波形aのハイ期間のタイミングで基準抵抗BOT TOM側電圧V_{bottom}をサンプリングした後、図3の波形bのハイ期間のタイミングでラダー抵抗列の中で基準抵抗BOT TOM側入力端子3よりラダー抵抗1個を介した基準電圧V_{bottom+1}との比較を行う。以上説明したように、前記比較器17および前記比較器19がラダー抵抗1個分に相当する電位差を比較することで、比較を完了させるのに最も多くの時間を必要とする比較動作を行った後、前記ハイレベル比較時間検出回路18の入力端子33には前記比較回路17の比較結果として常にハイレベルが入力されることとなり、前記ローレベル比較時間検出回路20の入力端子34には前記比較回路19の比較結果として常にローレベルが入力されることになる。なお、比較器の入力端子電圧と基準端子電圧の電位差の最小値は本発明の実施例ではラダー抵抗1個分の電位差としたが、比較器の精度により任意に決定されるものである。

【0019】前記ハイレベル比較時間検出回路18は、図3の波形gおよびhで示すように、前記比較器17がサンプリング動作を行っている間は、スイッチ22をオフスイッチ23をオンすることにより前記ハイレベル比較時間検出回路18の出力をローレベルに保ち、前記比較器17が比較を開始するタイミングでスイッチ22をオンスイッチ23をオフすることによって、図3の波形cで示すように、前記入力端子33のハイレベルを前記ハイレベル比較時間検出回路18の出力端子に出力させる。一方、前記ローレベル比較時間検出回路20は、図3の波形gおよびhで示すように、前記比較器19がサンプリング動作を行っている間は、スイッチ26をオフスイッチ27をオンすることにより、前記ローレベル比較時間検出回路20の出力をハイレベルに保

ち、前記比較器19が比較を開始するタイミングでスイッチ26をオンスイッチ27をオフすることによって、図3の波形dで示すように、前記入力端子34のローレベルを前記ローレベル比較時間検出回路20の出力端子に出力させる。このように、前記比較器17および前記ハイレベル比較時間検出回路18で比較結果がローからハイに変化するのに必要な時間を検出し、前記比較器19および前記ローレベル比較時間検出回路20で比較結果がハイからローに変化するのに必要な時間を検出する。前記ハイレベル比較時間検出回路18の出力はNAND回路31に入力され、前記ローレベル比較時間検出回路20の出力はインバータ回路30を介してNAND回路31に入力されることにより、前記NAND回路31の出力端子に図3の波形eで示すような出力波形が outputされる。この信号は、比較結果がローからハイに変化する場合とハイからローに変化する場合のどちらにも必要とされる時間を決定するためのものである。なお前記NAND回路31とインバータ回路のスイッチング電圧は、正しい比較時間を検出するために前記ラッチ回路9のスイッチング電圧と等しくする必要がある。前記NAND回路31の出力信号は、前記AND回路32に入力され、もう一方の入力端子には図3の波形bで示される比較器の制御用信号と同じタイミングの信号が入力されることにより、前記AND回路32の出力端子36に図3の波形fで示されるような上位比較決定用信号が outputされる。そして前記図3の波形fのハイ期間が上位比較に必要な最小時間である。このようにして作り出された比較結果決定用制御信号が上位ラッチ回路列8に入力される。ラッチ回路9での基本動作は従来例と同じである。

【0020】以上述べたような回路を用いることにより、図3の波形cおよび図3の波形dで示されるような比較結果決定までに必要とされる時間が電源電圧や各比較器の性能の差によりばらついた場合でも、上位比較に必要とされる最小時間幅を確保することができるため、誤動作を解消することができる。

【0021】以上はチャップ型比較器を用いた直並列型A/D変換器の上位比較器を例にとって説明したが、下位比較器、他の比較器の方式、あるいは他のA/D変換方式に対しても同じ効果がある。

【0022】

【発明の効果】以上の実施例の説明より明らかなように、本発明のA/D変換器では、比較器が比較に要する必要最小時間を確保できるため、電源電圧や各比較器の性能に差があった場合でも安定した比較動作が実現できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例の直並列A/D変換器のブロック図

【図2】本発明の一実施例の直並列A/D変換器におけ

7

る比較結果決定時間制御信号発生回路

【図3】図2に示す回路の動作を示すタイミングチャート図

【図4】従来の直並列A/D変換器のブロック図

【図5】図4で用いられる比較器およびラッチ回路図

【図6】図4における比較器の動作を示すタイミングチャート図

【図7】ラッチ回路出力信号をラッチ回路制御信号でラッチする場合のタイミング図

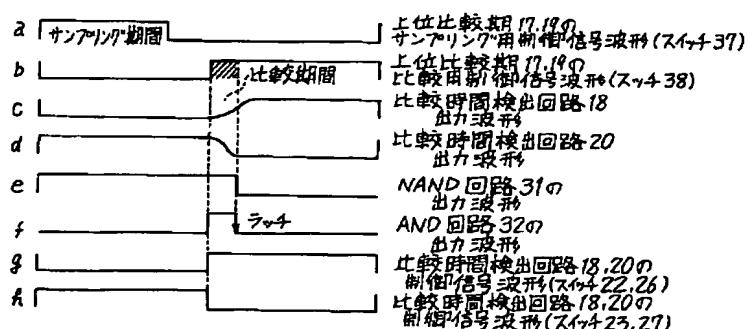
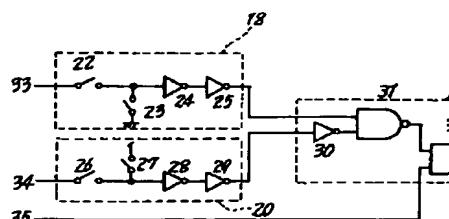
【図8】図7と電源電圧が異なる場合で、ラッチ回路出力信号をラッチ回路制御信号でラッチする場合のタイミング図

【図9】本発明の実施例における比較器の出力波形およびラッチ回路の出力波形を示す図

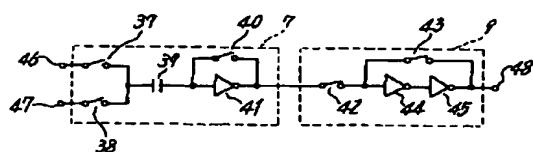
【符号の説明】

1	アナログ信号入力端子	10	上位エンコーダ回路
2	基準電圧TOP側入力端子	11	下位比較器列
3	基準電圧BOTTOM側入力端子	12	下位比較結果ラッチ列
4	ラダー抵抗列	13	下位エンコーダ回路
5	基準電圧発生プロック	14	クロック発生回路
6	上位比較器列	15	出力回路
7	チョップバ型比較器	16	デジタル信号出力端子
8	上位比較結果ラッチ列	17, 19	比較時間検出用比較器
9	ラッチ回路	18, 20	比較時間検出用比較器の
		10	比較結果ラッチ回路
		21	比較時間制御信号発生回路
		22, 23, 26, 27, 37, 38, 40, 42, 43	スイッチ
		24, 25, 28, 29, 30, 41, 44, 45	インバータ回路
		31	NAND回路
		32	AND回路
		33, 34	比較時間検出用比較器の
		35	クロック信号入力端子
		20 36	比較時間制御信号出力端
		39	容量
		46	アナログ信号入力端子
		47	基準電圧入力端子
		48	比較結果出力端子

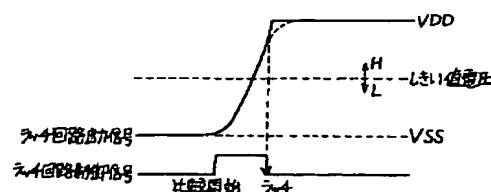
【図2】



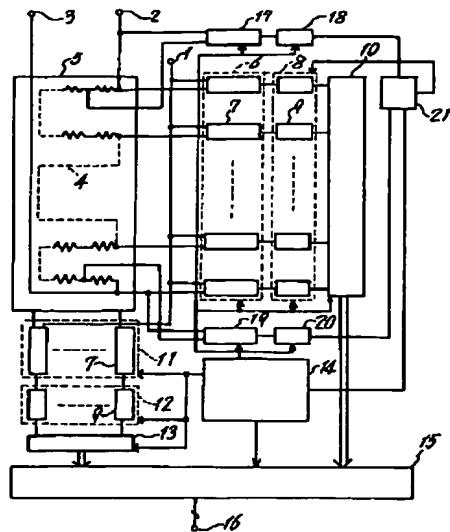
【図5】



【図7】

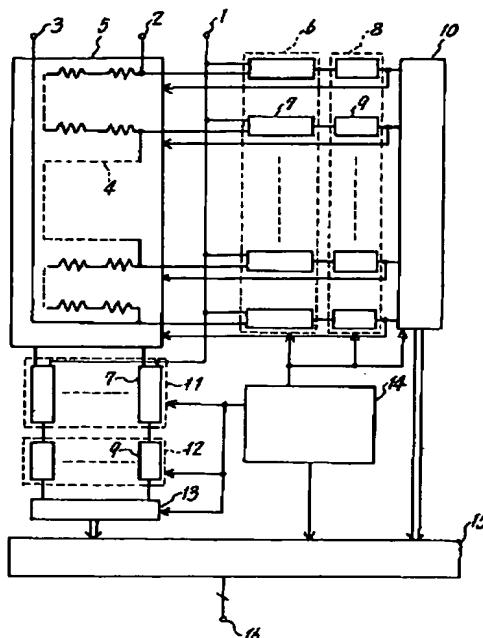


【図1】



- | | |
|-------------------|------------------|
| 1 アナログ信号入力端子 | 11 下位エンコーダ回路 |
| 2 基準電圧TOP側入力端子 | 12 下位比較結果スイッチ |
| 3 基準電圧BOTTOM側入力端子 | 13 下位エンコーダ回路 |
| 4 ラッチ回路 | 14 ワット発生回路 |
| 5 基準電圧発生アローワ | 15 出力回路 |
| 6 上位比較器列 | 16 デジタル出力端子 |
| 7 チューバ型比較器 | 17.19 比較時間検出用比較器 |
| 8 上位比較結果ラッチ列 | 18.20 比較結果のラッチ回路 |
| 9 ラッチ回路 | 21 比較時間制御信号発生回路 |
| 10 上位エンコーダ回路 | |

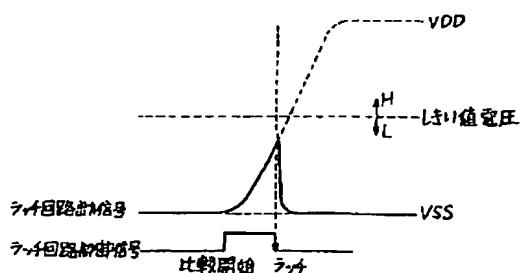
【図4】



【図6】

- | | |
|------------|-----------------------------|
| a | クロック信号波形 |
| b サンプリング時間 | 上位比較器のサンプリング用制御信号波形(スイッチ37) |
| c 比較期間 | 上位比較器の比較用制御信号波形(スイッチ38) |
| d ラッチ | 上位ラッチ回路の制御信号波形(スイッチ42) |
| e サンプリング時間 | 下位比較器のサンプリング用制御信号波形(スイッチ37) |
| f 比較期間 | 下位比較器の比較用制御信号波形(スイッチ47) |

【図8】



【図9】

